

DERWENT-ACC-NO: 2001-518901
DERWENT-WEEK: 200157
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Method for forming shallow junction of semiconductor device

INVENTOR: KWAK, N Y

PATENT-ASSIGNEE: HYNIX SEMICONDUCTOR INC[HYNIN]

PRIORITY-DATA: 1999KR-0024068 (June 24, 1999)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
KR 2001003691 A	January 15, 2001	N/A	001	H01L 021/334

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
KR2001003691A	N/A	1999KR-0024068	June 24, 1999

INT-CL (IPC): H01L021/334

ABSTRACTED-PUB-NO: KR2001003691A

BASIC-ABSTRACT: NOVELTY - A shallow junction forming method of a semiconductor device is to form a shallow junction by implanting a boron into a fluorine amorphous layer to form a p+ source and drain, after forming the fluorine amorphous layer by ion implanting a large quantity of fluorine into a junction forming region.

DETAILED DESCRIPTION - A method of forming a shallow junction of a semiconductor device comprises the steps of: forming a gate oxide film and a gate electrode(3) in this order on a silicon substrate(1); forming an insulating film spacer(4) on the side surface of the gate electrode; ion implanting a fluorine into the exposed silicon substrate, and then forming a fluorine amorphous layer(15); making an amorphous layer having a high density defect due to the fluorine of the fluorine amorphous layer by executing a low temperature annealing; executing an ion implantation through the fluorine amorphous layer, and then forming a junction layer(16); and executing an annealing at a high temperature for a very much short time, and then activating a dopant implanted into the junction layer.

CHOSEN-DRAWING: Dwg.1/10

TITLE-TERMS:

METHOD FORMING SHALLOW JUNCTION SEMICONDUCTOR DEVICE

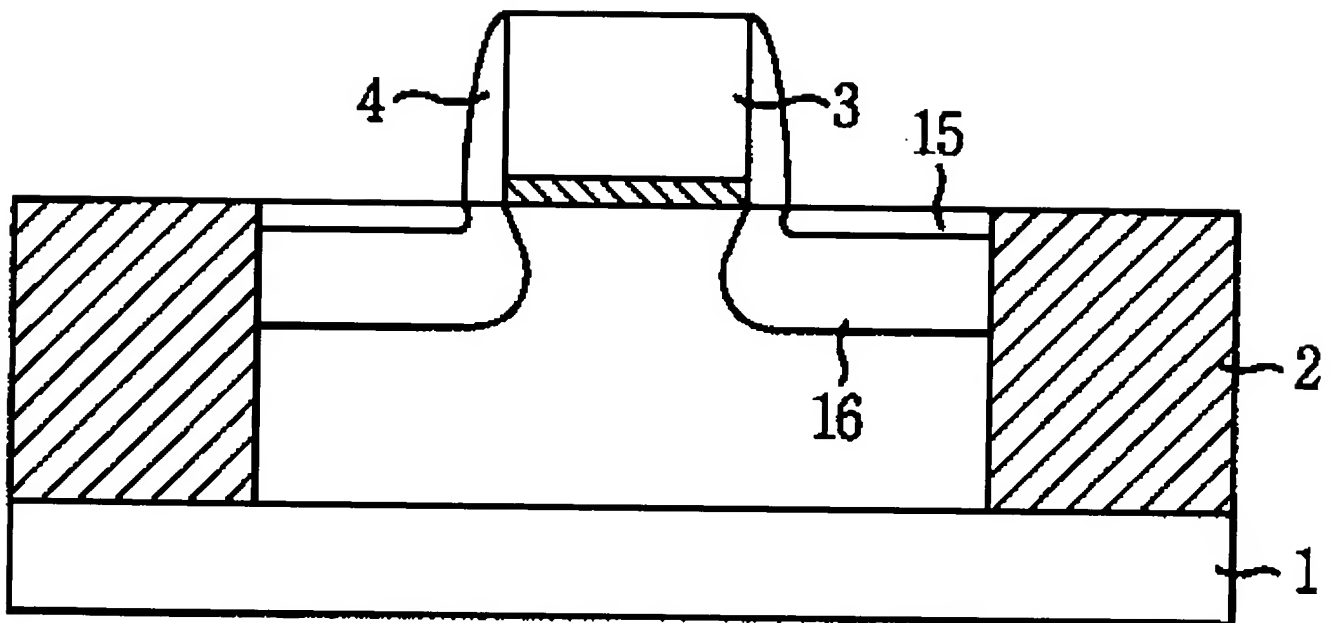
DERWENT-CLASS: L03 U11

CPI-CODES: L04-C02B; L04-C11C; L04-C12A; L04-C16;

EPI-CODES: U11-C18A3;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C2001-155190



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶ (11) 공개번호 특2001-0003691
H01L 21/334 (43) 공개일자 2001년01월15일

(21) 출원번호 10-1999-0024068
(22) 출원일자 1999년06월24일
(71) 출원인 현대전자산업 주식회사 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 광노열
경기도이천시대월면사동리441-1현대전자사원아파트104-1501
(74) 대리인 특허법인 신성 박해천, 특허법인 신성 원석희, 특허법인 신성 최중
식, 특허법인 신성 박정후, 특허법인 신성 정지원

심사청구: 없음

(54) 반도체소자의 얇은 접합 형성방법

요약

본 발명은 실리콘기판상에 게이트산화막과 게이트전극을 순차적으로 형성하는 단계와, 상기 게이트전극 측면에 절연막 스페이서를 형성하는 단계, 노출된 실리콘기판에 불소를 이온주입하여 비정질층을 형성하는 단계, 저온 어닐링을 실시하여 상기 비정질층을 고밀도 결함을 갖는 비정질층으로 만드는 단계, 상기 비정질층을 통해 접합층 형성을 위한 이온주입을 실시하는 단계, 및 고온에서 매우 짧은 시간 동안 어닐링을 실시하여 상기 접합층에 주입된 도펀트를 활성화시키는 단계를 포함하는 반도체소자의 얇은 접합 형성방법을 제공한다.

대표도

도2c

색인어

얇은접합, 불소이온주입, 불소적층 비정질층

명세서

도면의 간단한 설명

도 1a 내지 1c는 종래기술에 의한 반도체소자의 얇은 접합 형성방법을 도시한 공정순서도.

도 2a 내지 2c는 본 발명에 의한 반도체소자의 얇은 접합 형성방법을 도시한 공정순서도.

도 3은 본 발명에 의한 얇은 접합 형성공정에서 불소 이온주입된 비정질층의 저온 어닐링 전,후의 깊이에 따른 불소 농도를 나타낸 그래프.

도면의 주요부분에 대한 부호의 설명

- | | |
|---------------|---------------|
| 1.실리콘기판 | 2.소자분리막 |
| 3.게이트전극 | 4.게이트 측벽 스페이서 |
| 15.불소 적층 비정질층 | 16.소오스 및 드레인 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 얇은 접합 형성방법에 관한 것으로, 특히 불소 이온주입을 이용하여 얇은 접합의 p+ 소오스 및 드레인을 형성하는 방법에 관한 것이다.

종래 기술에 의한 얇은 접합의 소오스 및 드레인을 갖는 MOS트랜지스터 제조방법을 도 1a 내지 1c를 참조하여 설명하면 다음과 같다.

먼저, 도 1a에 나타난 바와 같이 실리콘기판(1) 소정영역에 소자분리막(2)을 형성한 후, 기판상의 소정영역에 게이트산화막을 개재하여 게이트전극(3)을 형성한다.

이어서 도 1b에 나타난 바와 같이 스페이서 형성을 위한 산화막 및 질화막을 기판 전면에 형성한 후, 마스크공정과 패터닝으로 게이트 측벽 스페이서(4)를 형성한다.

다음에 도 1c에 나타난 바와 같이 많은 양의 이불화붕소를 이온주입한 후, 주입된 도펀트를 전기적으로 활성화시키고 도펀트의 주입에 의해 생긴 비정질층을 재결정화시키기 위해 RTP(rapid thermal process)를 통한 어닐링을 실시하여 p+ 소오스 및 드레인(5)을 형성한다.

상기 종래기술에 있어서는 얇은 접합 형성을 위한 이온주입시 이불화붕소 이온주입에 의해 유발되는 결함등이 접합누설전류를 증가시키는 원인으로 작용하는 문제가 있다. 또한, p+ 소오스 및 드레인을 형성하기 위해 도펀트로서 사용되는 많은 양의 이불화붕소 이온에 포함된 잔류 불소이온의 영향으로 게이트산화막의 열화가 발생할 수 있다. 그리고 접합 표면의 재결정화와 도펀트의 전기적 활성화를 위한 어닐링시 붕소만으로 형성된 접합에서는 도펀트의 확산으로 인해 접합깊이의 지나친 증가가 초래되며, 이 확산에 의한 채널의 짧은 채널 효과를 피할 수 없어 소자의 전기적 특성상 좋은 결과를 기대할 수 없다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 문제점을 해결하기 위한 것으로, 접합 형성영역에 다량의 불소 이온주입을 통하여 불소 비정질층을 형성한 후, 이 불소층에 p+ 소오스 및 드레인 형성을 위한 붕소를 이온주입함으로써 얇은 접합을 형성하는 반도체소자의 얇은 접합 형성방법을 제공하는데 그 목적이 있다.

상기 목적을 달성하기 위한 본 발명의 반도체소자의 얇은 접합 형성방법은 실리콘기판상에 게이트산화막과 게이트전극을 순차적으로 형성하는 단계와, 상기 게이트전극 측면에 절연막 스페이서를 형성하는 단계, 노출된 실리콘기판에 불소를 이온주입하여 비정질층을 형성하는 단계, 저온 어닐링을 실시하여 상기 비정질층을 불소에 의한 고밀도 결함을 갖는 비정질층으로 만드는 단계, 상기 비정질층을 통해 접합층 형성을 위한 이온주입을 실시하는 단계, 및 고온에서 매우 짧은 시간 동안 어닐링을 실시하여 상기 접합층에 주입된 도펀트를 활성화시키는 단계를 포함하여 구성된다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명한다.

도 2a 내지 2c에 본 발명에 의한 반도체소자의 얇은 접합 형성방법을 공정순서에 따라 도시하였다.

먼저, 도 2a에 나타난 바와 같이 실리콘기판(1) 소정영역에 소자분리막(2)을 형성한 후, 기판상의 소정영역에 게이트산화막을 개재하여 게이트전극(3)을 형성한다. 이어서 스페이서 형성을 위하여 산화막 및 질화막을 기판 전면에 형성한 후 마스크공정과 패터닝을 통해 게이트 측벽에 스페이서(4)를 형성한다.

다음에 도 2b에 나타난 바와 같이 접합영역 형성을 위한 마스크 작업후, 다량의 불소를 접합영역에 이온주입하여 불소 비정질층(15)을 형성한다. 이때, 불소 이온 주입시, 주입에너지는 1-15keV, 주입량은 $1 \times 10^{15} - 1 \times 10^{16}$ ions/cm²로 하는 것이 바람직하다.

접합영역 부근의 불소의 외확산(out-diffusion)을 통한 표면의 고밀도 결함을 갖는 비정질층의 형성과 이온주입시 생성된 비정질층의 재결정화를 방지하기 위하여 낮은 온도에서 첫번째 열처리를 실시한다. 불소가 이온주입된 비정질층의 저온 어닐링 전,후의 상태를 도 3에 나타내었다. 저온 어닐링은 노(furnace)에서 실시하는 것이 가능한데, 노에서의 열처리시에는 450-550°C 정도의 온도에서 약 20-60분간 실시하는 것이 바람직하다. 또한, 노에서 분위기 조절을 위해 N₂가스분위기에서 진행하는 것이 바람직하다.

이어서 도 2c에 나타난 바와 같이 p+ 소오스 및 드레인 형성을 위해 상기 불소 이온주입된 불소 적층 비정질층(15)을 통하여 붕소를 이온주입하여 고농도 접합영역인 p+ 소오스 및 드레인(16)을 형성한다. 이때, 붕소의 이온주입은 주입에너지를 1-5keV, 주입량을 $1 \times 10^{15} - 5 \times 10^{16}$ ions/cm²으로 하여 실시하는 것이 바람직하다.

다.

상기 붕소의 이온주입후, 접합영역의 도펀트를 활성화시키고 비정질층의 재결정화를 위하여 고온에서 매우 짧은 시간 동안 RTP로 두번째 열처리를 실시한다. 이때, 열처리는 950-1050°C 정도의 온도에서 약 0-1초간 실시하는 것이 바람직하다. 또한, 도펀트의 확산을 최소화하기 위해 승온온도를 100°C/s - 200°C/s 정도로 하여 빠른 램프업(fast ramp-up)을 실시한다.

본 발명에 의하면, 접합 형성영역에 저에너지로 다량의 붕소를 이온주입하여 붕소 적층 비정질층을 형성하고, 저온에서의 노(furnace) 어닐링을 통하여 붕소의 강한 표면 지향 확산(surface oriented diffusion) 성질을 이용하여 붕소 적층 비정질층내의 붕소를 접합영역의 표면으로 극대화할 수 있으며, 이렇게 적층된 붕소층에 p+ 소오스 및 드레인 형성을 위해 붕소만으로 이온주입을 하면 붕소의 채널링 현상이 억제되어 얇은 접합의 형성이 가능하게 되고, 후속 고온 열처리시 표면에 묻혀 있는 상당량의 붕소는 외확산되어 결과적으로 얇은 접합을 갖는 거의 붕소만으로 된 p+ 소오스 및 드레인을 형성할 수 있게 된다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

본 발명에 의하면, 기존의 이불화붕소를 이용하여 형성하는 접합에서 발생하는 접합 내부의 잔류 붕소에 의한 피해를 저온 열처리에 의해 줄일 수 있고, 표면에 적층된 붕소층을 통해 소오스 및 드레인 형성을 위해 이온주입되는 붕소의 채널링을 줄여 얇은 접합의 형성이 가능하게 되며, 또한 기존의 붕소 이온주입보다 잔류 붕소의 양을 증가시킬 수 있다.

(57) 청구의 범위

청구항 1

실리콘기판상에 게이트산화막과 게이트전극을 순차적으로 형성하는 단계와,
상기 게이트전극 측면에 절연막 스페이서를 형성하는 단계,
노출된 실리콘기판에 붕소를 이온주입하여 비정질층을 형성하는 단계,
저온 어닐링을 실시하여 상기 비정질층을 붕소에 의해 고밀도 결합을 갖는 비정질층으로 만드는 단계,
상기 비정질층을 통해 접합층 형성을 위한 이온주입을 실시하는 단계, 및
고온에서 매우 짧은 시간 동안 어닐링을 실시하여 상기 접합층에 주입된 도펀트를 활성화시키는 단계를 포함하는 반도체소자의 얇은 접합 형성방법.

청구항 2

제1항에 있어서,

상기 붕소의 이온주입시 주입에너지는 1-15keV, 주입량은 $1 \times 10^{15} - 1 \times 10^{16}$ ions/cm²로 하는 것을 특징으로 하는 반도체소자의 얇은 접합 형성방법.

청구항 3

제1항에 있어서,

상기 고밀도 결합을 갖는 비정질층의 형성을 위한 저온 어닐링시 비정질층의 재결정화가 방지되며, 주입된 붕소 이온이 접합층의 표면으로 외확산되어 고밀도 결합을 갖는 비정질층이 형성되는 것을 특징으로 하는 반도체소자의 얇은 접합 형성방법.

청구항 4

제1항에 있어서,

상기 저온 어닐링은 노(furnace)를 이용하여 450-550°C 정도의 온도에서 약 20-60간 실시하는 것을 특징으로 하는 반도체소자의 얇은 접합 형성방법.

청구항 5

제1항에 있어서,

상기 접합층 형성을 위한 이온주입시 붕소이온을 사용하는 것을 특징으로 하는 반도체소자의 얇은 접합 형성방법.

청구항 6

제5항에 있어서,

상기 붕소를 주입에너지 1-5keV, 주입량 1×10^{15} - 5×10^{16} ions/cm²으로 하여 이온주입하는 것을 특징으로 하는 반도체소자의 얇은 접합 형성방법.

청구항 7

제1항에 있어서,

상기 고온 어닐링을 RTP를 이용하여 950-1050°C 정도의 온도에서 약 0-1초간 실시하는 것을 특징으로 하는 반도체소자의 얇은 접합 형성방법.

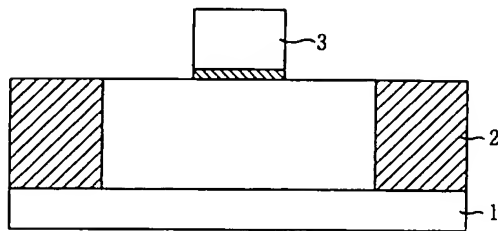
청구항 8

제7항에 있어서,

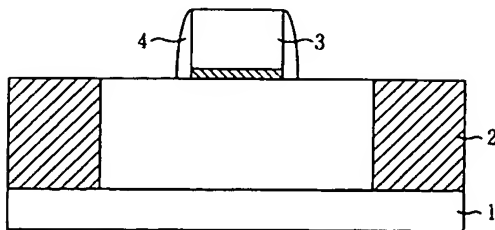
상기 RTP에 의한 고온 어닐링시 도펀트의 확산을 최소화하기 위해 승온온도를 100°C/s - 200°C/s 정도로 하여 빠른 램프업을 실시하는 것을 특징으로 하는 반도체소자의 얇은 접합 형성방법.

도면

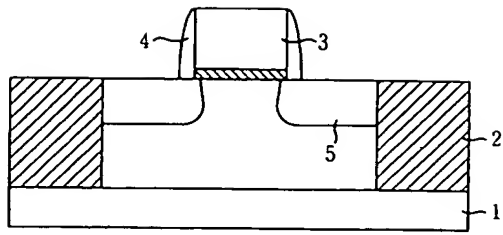
도면1a



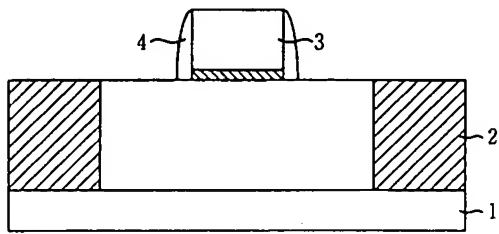
도면1b



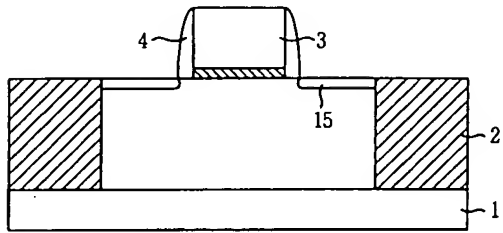
도면1c



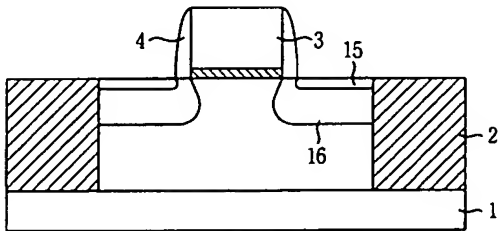
도면2a



도면2b



도면2c



도면3

